

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-204394

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.<sup>5</sup>  
H 01 L 23/538  
21/82  
27/04

識別記号 庁内整理番号  
A 8427-4M

F I

技術表示箇所

H 01 L 23/ 52  
9169-4M  
21/ 82  
A  
P

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号 特願平4-347594  
(22)出願日 平成4年(1992)12月28日

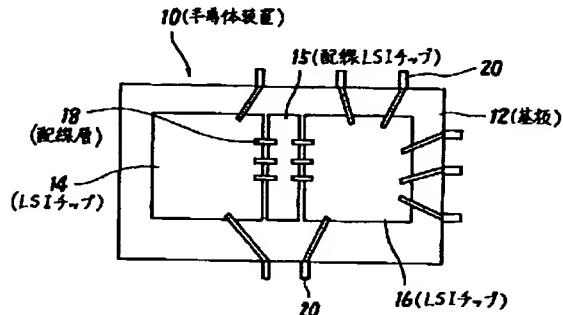
(71)出願人 000001258  
川崎製鉄株式会社  
兵庫県神戸市中央区北本町通1丁目1番28  
号  
(72)発明者 村石 嘉人  
東京都千代田区内幸町二丁目2番3号 川  
崎製鉄株式会社東京本社内  
(74)代理人 弁理士 松山 圭佑 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】複数のLSIチップを用いた半導体装置において、隣接するLSIチップ間を、ほぼ直結状態で結線し、回路スピードの高速化、低消費電力化、システムの小型化、高密度化を図る。

【構成】半導体装置10におけるLSIチップ14、16間に配線用LSIチップ15を両者に接触又は僅かな隙間をあけて隣接させ、その間を、アルミ蒸着層等からなる配線層18によって接続する。



1

## 【特許請求の範囲】

【請求項1】基板上に複数のLSIチップを載置し、各LSIチップ相互を接続する半導体装置において、隣り合うLSIチップの間に配線用LSIチップをほぼ接触して配置すると共に、これら隣接LSIチップの配線端部を前記配線用LSIチップに結線したことを特徴とする半導体装置。

【請求項2】請求項1において、前記隣接するLSIチップ間は、外部への接続のためのI/Oバッファよりも小さい容量のI/Oバッファを用いて接続したことを特徴とする半導体装置。 10

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は基板上に複数のLSIチップを搭載してなる半導体装置に関する。

## 【0002】

【従来の技術】従来、図8に示されるように、マルチチップモジュールと称される、複数のLSIチップ1をシリコン基板2上に搭載し、このシリコン基板2を更にセラミック基板3上に搭載した半導体装置がある。 20

【0003】この半導体装置において、前記複数のLSIチップ1は、シリコン基板2上に形成されたアルミ配線パターン(図示省略)にワイヤボンディングされ、更に、該アルミ配線パターンは外部にワイヤボンディングされている。

## 【0004】

【発明が解決しようとする課題】上記従来の半導体装置は、シリコン基板2上で太いアルミ配線を長く引き回しているために、LSIチップ1間の抵抗容量が大きくなり、結果として消費電力の増大、処理速度の低下、コストの増大をもたらすという問題点がある。 30

【0005】この発明は上記従来の問題点に鑑みて成されたものであって、LSIチップ間をほぼ直結状態で結線し、製造を簡単化すると共に、回路速度の向上、消費電力の低減及びパッケージの小型化を図ることができるようとした半導体装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】この発明は、基板上に複数のLSIチップを載置し、各LSIチップ相互を接続する半導体装置において、隣り合うLSIチップの間に配線用LSIチップをほぼ接触して配置すると共に、これら隣接LSIチップの配線端部を前記配線用LSIチップに結線したことを特徴とする半導体装置により、上記目的を達成するものである。 40

【0007】又、前記隣接するLSIチップ間は、外部への接続のためのI/Oバッファよりも小さい容量のI/Oバッファを用いて接続するようにしてもよい。

## 【0008】

【作用及び効果】この発明においては、隣接するLSIチップ間が、最短距離でほぼ直結状態に結線されている

2

ので、製造が簡単であり、回路速度の向上、消費電力の低減及びパッケージの小型化を図ることができる。

【0009】請求項2によれば、各LSIチップ間の接続に、小さい容量のI/Oバッファを用いることができるので、更に消費電力の低減及び製造コストの低減を図ることができる。

## 【0010】

【実施例】以下本発明の実施例を図面を参照して説明する。

【0011】図1に示されるように、この実施例に係る半導体装置10は、基板12上に2つのLSIチップ14、16を搭載するものであり、両LSIチップ14、16は、相互に接続されるべきボンディングパッドが対向するようにして配置され、且つ、両者の間に配置された配線用LSIチップ15を介して結線されている。

【0012】図2に示されるように、これらのボンディングパッド14A、16Aは、隣接する配線用LSIチップ15のボンディングパッド15Aに接近して配置された状態で、図3に示されるように、アルミニウム蒸着によって形成された配線層18により接続されている。

【0013】ここで、LSIチップ14、16と、配線用LSIチップ15との間に少しの隙間があつても、図4に示されるように、蒸着の際に、これらLSIチップ14、16の対向する角部が溶けて隙間を埋めるので、配線層18は確実に両LSIチップ14、16と配線用LSIチップ15とを接続できる。

【0014】図1の符号20は基板12から外部に出るピンを示す。前記LSIチップ14、16の対応するボンディングパッド14B、16Bは、ピン20にワイヤボンディングされている。

【0015】ここで、前記LSIチップ14、16における配線用LSIチップ15に接続するためのボンディングパッドは、図5に示されるように、小さいI/Oバッファ22を介して設けられているのに対して、前記ピン20に接続されるボンディングパッド14B、16Bは共に大きいI/Oバッファ24を介して配置されている。

【0016】この実施例においては、隣接するLSIチップ14、16間をアルミ蒸着層からなる配線層18によって接続しているので、配線容量が非常に小さくなる。

【0017】又、配線層18によって接続されるボンディングパッドは、ピン20に接続されるI/Oバッファ24と比較して小容量のものを用いることができる。

【0018】従って、回路速度の向上、消費電力の低減及びパッケージの小型化を図ることができる。

【0019】又、隣接するLSIチップ14、16間の接続をアルミ蒸着等により行うことができるので、製造が簡素化される。

【0020】上記実施例は、2つのLSIチップ14、

16を備えた半導体装置10についてのものであるが、本発明はこれに限定されるものでなく、更に多数のLSIチップを用いた半導体装置についても当然適用されるものである。

【0021】例えば、図6(A)に示されるように、6個のLSIチップ26を用いた半導体装置28にも当然適用され得るものである。この実施例の場合、左右各3個のLSIチップ26の間に縦方向に、配線用LSIチップ27が配置されている。縦方向に隣接するLSIチップ26間は配線層18によっても直接結線されている。

【0022】又、図6(B)に示される第3実施例の半導体装置28Aのように6個のLSIチップ26間に縦横に配線用LSIチップ27を配置するようにしてもよい。

【0023】又、上記実施例は隣接するLSIチップのボンディングパッド間を接続するものであるが、本発明はこれに限定されず、例えば、図7に示される第4実施例のように、ボンディングパッドを省略し、LSIチップ32と配線用LSIチップ34の配線32A、34Aを対向する端面まで延在させ、該端面近傍で配線層18により接続してもよい。

【0024】なお、上記実施例において、隣接するLSIチップを接続する配線層18はアルミニウムの蒸着層から構成されているが、本発明はこれに限定されるもの

でなく、要すれば、LSIチップ上に直接形成することができる膜状の配線層であってもよく、又、ワイヤボンディング、ハンダ等の他の結線手段を用いててもよい。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の実施例を示す平面図

【図2】同実施例装置におけるボンディングパッドの位置関係を拡大して示す平面図

【図3】同実施例のボンディングパッド間を配線層で接続した状態を拡大して示す平面図

【図4】同実施例の配線層部分を拡大して示す断面図

【図5】同実施例のI/Oバッファの配置状態を拡大して示す平面図

【図6】本発明の第2及び第3実施例に係る半導体装置を示す平面図

【図7】本発明の第4実施例に係る半導体装置の要部を拡大して示す平面図

【図8】従来のマルチチップモジュールを示す側面図

【符号の説明】

10、28、30…半導体装置

12…基板

14、16、26、32…LSIチップ

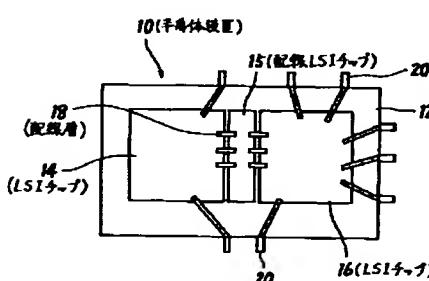
14A、16A…ボンディングパッド

15、27、34…配線用LSIチップ

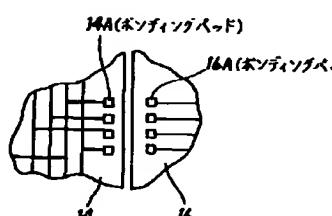
18…配線層

22、24…I/Oバッファ

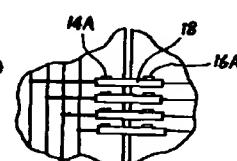
【図1】



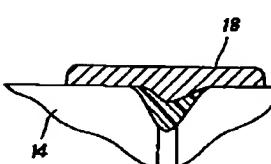
【図2】



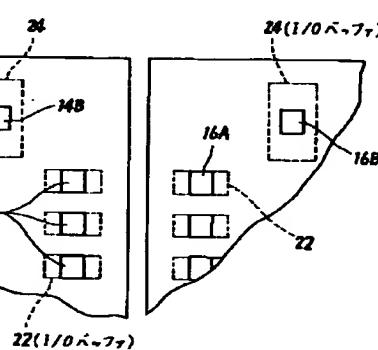
【図3】



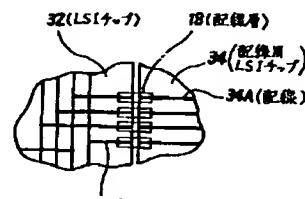
【図4】



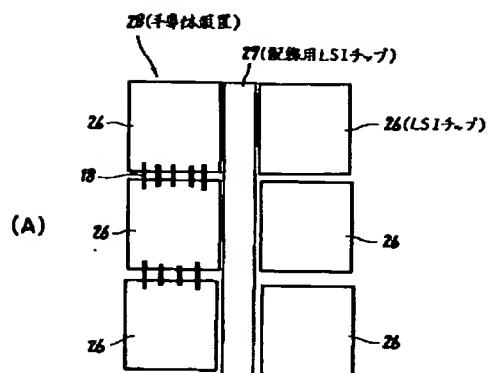
【図5】



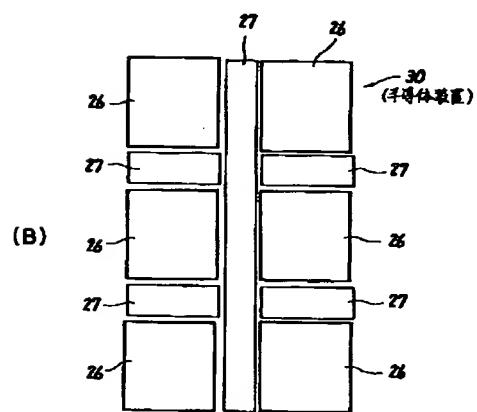
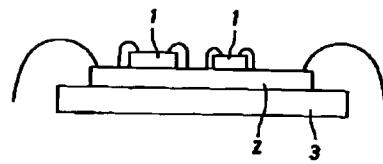
【図7】



【図6】



【図8】



CLIPPEDIMAGE= JP406204394A

PAT-NO: JP406204394A

DOCUMENT-IDENTIFIER: JP 06204394 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 22, 1994

INVENTOR-INFORMATION:

NAME

MURAISHI, YOSHITO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KAWASAKI STEEL CORP	N/A

APPL-NO: JP04347594

APPL-DATE: December 28, 1992

INT-CL (IPC): H01L023/538;H01L021/82 ;H01L027/04

US-CL-CURRENT: 257/784

ABSTRACT:

PURPOSE: To increase circuit speed, reduce power consumption, miniaturize a system, and increase density by directly connecting adjacent LSI chips in a semiconductor device using a plurality of LSI chips.

CONSTITUTION: An LSI chip 15 for wiring is adjacent between LSI

chips 14 and 16  
in a semiconductor device 10 while they are in contact or there is  
slight space  
among them and then they are connected by a wiring layer 18  
consisting of  
aluminum deposition layer, etc.

COPYRIGHT: (C)1994,JPO&Japio